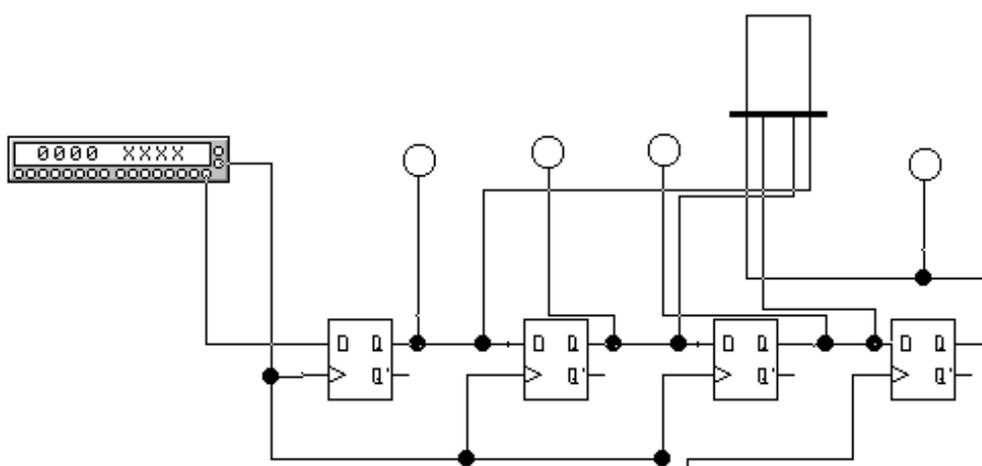


ПРАКТИКУМ

ПО ИЗУЧЕНИЮ ОСНОВ ЭЛЕКТРОНИКИ И ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ В ELECTRONICS WORKBENCH



УДК 681.3
ББК 32.97
П89

Печатается по решению
редакционно-издательского
совета Башкирского государственного педагогического университета

Практикум по изучению основ электроники и вычислительной техники в ELECTRONICS WORKBENCH . / Сост. Сулейманов Р.Р., Маликов Р.Ф. – Уфа: изд-во БашГПУ. - 2003. - 30с.

Практикум предназначен для студентов обучающихся по специальностям 010400 - Физика, 032200 - Физика, 030100 Информатика, 030500.06 - Профессиональное обучение (информатика, ВТ и компьютерные технологии), по направлениям 510400 –Физика, 511800 - Математика, компьютерные науки, для отработки навыков и умений по основам электроники и вычислительной техники.

Рецензенты: А.М Вальшин., канд. ф.-м. н, доц. (БГУ)

Мигранов Н.Г., д-р. ф.-м. н, проф.(БГПУ)

© Изд-во БГПУ, 2003

© Р.Р.Сулейманов,

© Р.Ф.Маликов

Введение

Основная трудность в изложении элементов цифровой техники состоит в существенном разрыве между уровнем знаний студентов I, II курсов, школьников и современным состоянием ЭВТ. Учащимся необходимо преодолеть дистанцию огромного размера – от двоичной арифметики и простейших логических элементов до архитектуры микропроцессора и ЭВМ. Многообразие элементной базы, ее миниатюризация, отсутствие наглядности, необходимость использования различных кодов, синтез многополюсников требуют у учащихся высокого уровня абстрактного мышления. Изучение базовых логических элементов, элементов памяти, операционных элементов, комбинационную и последовательную логику на физическом уровне становится невозможным из-за громоздкости и отсутствия наглядности. Они рассматриваются схемотехнически: зависимость между входными и выходными сигналами описывается таблицами истинности или функциями на языке алгебры логики.

В качестве компьютерной среды изучения основ электроники, и вычислительной техники нами выбрана система Electronics Workbench, разработанная фирмой Interactive Image Technologies. Особенностью системы является наличие контрольно-измерительных приборов, по внешнему виду и характеристикам приближенных к их промышленным аналогам. Система легко усваивается и достаточно удобна в работе.

Практикум включает следующие темы:

- Основы алгебры логики.
- Решение задач на тему: Логические схемы.
- Виртуальный логический конвертор.
- Цифровой компаратор.
- Устройство контроля четности.
- Мультиплексоры и демультимплексоры.
- Арифметические сумматоры.
- Виртуальный генератор слова.
- Виртуальный логический анализатор.
- Триггеры.
- Счетчик.
- Регистр.
- Оперативное запоминающее устройство.

Выполнение этих работ позволит студентам более глубоко понимать процессы, происходящие в работе электронных вычислительных машин. Практикум может быть использовано при проведении лабораторного практикума, при чтении лекций по информатике и по основам физической электроники и ориентирован для специальностей 010400 - Физика, 032200 - Физика, 030100 Информатика, 030500.06 - Профессиональное обучение (информатика, ВТ и компьютерные технологии), по направлениям 510400 –Физика, 511800 - Математика, компьютерные науки для отработки навыков по основам электроники и вычислительной техники

1. Основы алгебры логики

Цель: Повторить основные понятия булевой алгебры.

Краткая теория

Логические операции:

- \wedge , \times , $:$, $\&$, «и», and — конъюнкция.
- \vee , $+$, «или», or — дизъюнкция.
- \neg , $-$, not — отрицание.

Таблицы истинности.

A	B	$A \wedge B$	A	B	$A \vee B$
0	0	0	0	0	0
0	1	0	0	1	1
1	0	0	1	0	1
1	1	1	1	1	1

A	\bar{A}
0	1
1	0

Основные формулы алгебры-логики:

Законы коммутативности: $A \wedge B = B \wedge A$

$$A \vee B = B \vee A.$$

ассоциативности: $(A \vee B) \vee C = A \vee (B \vee C)$
 $(A \wedge B) \wedge C = A \wedge (B \wedge C).$

идемпотентности: $A \vee A = A$
 $A \wedge A = A.$

дистрибутивности: $A \wedge (B \vee C) = (A \wedge B) \vee (A \wedge C)$
 $A \vee (B \wedge C) = (A \vee B) \wedge (A \vee C).$

Формулы позволяющие упрощать логические выражения:

$$\overline{\bar{A}} = A$$

$$\bar{A} \vee A = 1$$

$$\overline{A \vee B} = \bar{A} \wedge \bar{B}$$

$$\overline{A \wedge B} = \bar{A} \vee \bar{B}$$

$$A \wedge \bar{A} = 0$$

$$A \wedge 0 = 0$$

$$A \wedge 1 = A$$

$$A \vee 1 = 1$$

В логических функциях скобки указывают последовательность выполнения операций. При отсутствии скобок первой выполняется операция отрицания, затем конъюнкция, а потом дизъюнкция.

На рис. 1 приведены логические элементы конъюнкция, дизъюнкция, отрицание - построенные на базе транзисторов.

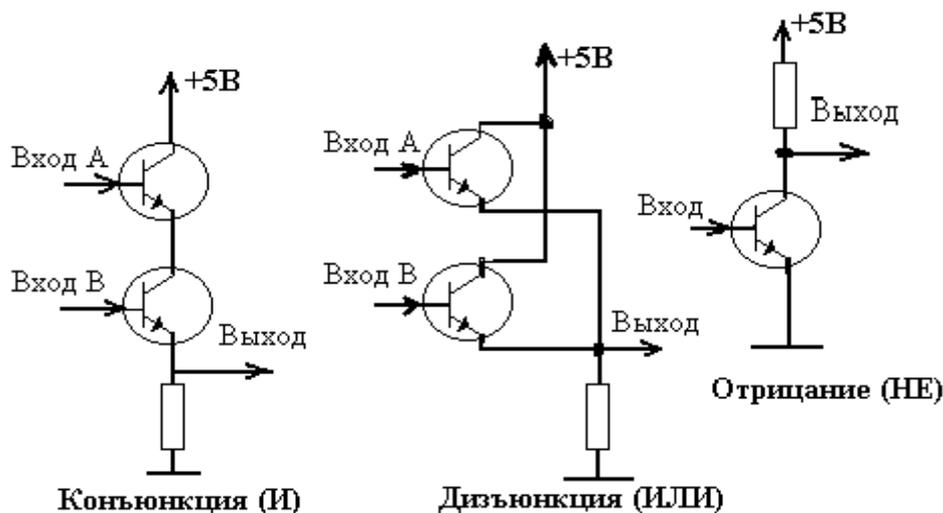


Рис. 1

Промышленность выпускает сотни типов электронно-логических элементов, в интегральном исполнении представляющих собой сочетание элементов «И», «ИЛИ», «НЕ». В виде примера рассмотрим один из самых распространенных типов логических микросхем типа К155ЛА3 (рис. 2), представляющее собой сочетание в одном корпусе четырех двухходовых схем «И»—«НЕ». Каждая логическая схема «И», «НЕ» имеет два входа (выводы 1 и 2, 4 и 5, 9 и 10, 12 и 13) и один выход (выводы 3, 6, 8, 11).

A	B	$A \wedge B$	$\bar{A} \wedge B$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	0	0

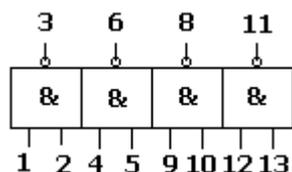


Рис. 2

Таблица истинности для микросхемы К155ЛА3.

Принятые обозначения логических элементов в электрических схемах приведены на рис. 3.

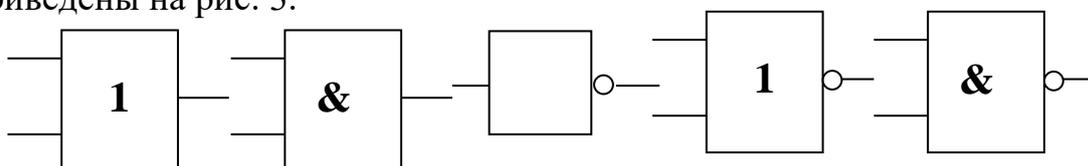


Рис. 3

Логическое сложение (дизъюнкция) - ИЛИ, логическое умножение (конъюнкция) - И, отрицание - НЕ, логический элемент «2-ИЛИ – НЕ», логический элемент «2-И – НЕ». Обозначения логических операций: * - конъюнкция, + - дизъюнкция, ' (апостроф) – отрицание.

2. Решение задач на тему: Логические схемы

Цель: Применить знания по булевой алгебре для решения задач по теме: Логические схемы.

Содержание занятия

- **Задача 1.** Проведите анализ логического устройства (рис. 4): по функциональной схеме составьте структурную формулу, упростите ее, если это возможно.

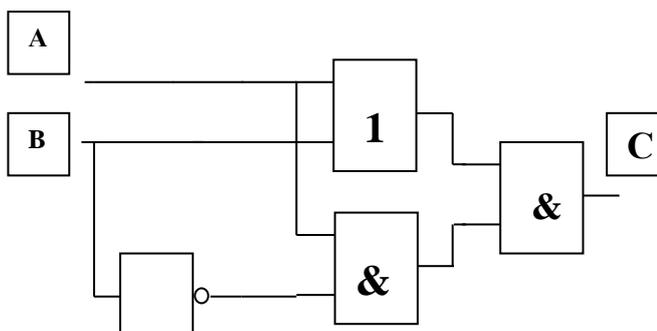


Рис. 4

Решение. 1. Составление логической функции для функциональной (логической) схемы. При составлении логической функции необходимо проследить пути движения потоков сигналов (рис. 5).

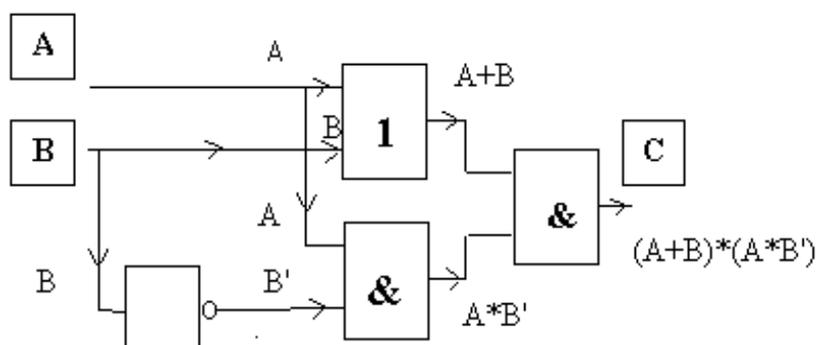


Рис. 5

Ответ: $(A+B) * (A * B')$.

2. Проверка на избыточность функциональной схемы (упростить логическую функцию, т. е. преобразовать с помощью законов алгебры логики).

$(A+B) * (A * B')$ = /Скобки для $A * B'$ опускаем, так как перед скобками тоже знак $*$ / $= (A+B) * A * B'$ = (Для $A * B'$ применяем закон коммутативности / $= (A+B) * B' * A$ = / Для $(A+B) * B'$ применяем закон дистрибутивности/ $= ((A * B') + (B * B')) * A$ = / $B * B' = 0$ / $= ((A * B') + 0) * A$ = / Поглощение 0 при дизъюнкции/ $= (A * B') * A$ = / Скобки опускаем, применяем закон коммутативности/ $= A * A * B'$ = / $A * A = A$ / $= A * B'$.

3. Проверяем справедливость логических преобразований. Для этого составляем таблицу истинности. В общем случае составляется две таблицы: для исходной и конечной логических функций. В этой задаче достаточно одной.

Значения таблиц истинности $A*B'$ и $(A+B)*(A*B')$ равны, что доказывает справедливость логических преобразований.

A	B	A+B	B'	A*B'	(A+B)*(A*B')
0	0	0	1	0	0
0	1	1	0	0	0
1	0	1	1	1	1
1	1	1	0	0	0

4. По полученной логической функции составляем функциональную схему (рис.6).

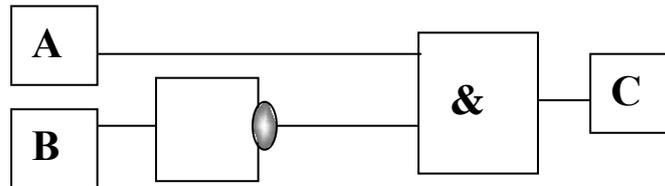


Рис. 6

Задача 2. Провидите синтез трехвходового логического устройства с выходной комбинацией 10011110 в таблице истинности.

Решение. 1. Составим таблицу истинности для данного логического устройства.

A	B	C	F(A,B,C)	
0	0	0	0	
0	0	1	0	
0	1	0	1	$A'*B*C'=1$
0	1	1	1	$A'*B*C=1$
1	0	0	0	
1	0	1	0	
1	1	0	1	$A*B*C'=1$
1	1	1	0	

Так как в таблице F единиц меньше чем нулей, то построим СДНФ: $(A'*B*C')+(A'*B*C)+(A*B*C')$.

2. Используя правила алгебры логики попробуем его упростить.
 $(A'*B*C')+(A'*B*C)+(A*B*C') = [((A'*B)*C') + ((A'*B)*C)] + (A*B*C') =$
 $= [(A'*B)*(C'+C)] + (A*B*C') = / C'+C=1 / = [(A'*B)*1] + (A*B*C') =$
 $= (A'*B) + (A*B*C') = (A'*B) + ((A*C')*B) = (A' + (A*C'))*B = B*(A' + A*C').$

Упрощаем дальше, используя закон де Моргана.

$B*(A' + A*C') = B*(A''*(A*C')')' = B*(A*(A'+C''))' = B*(A*(A'+C'))' =$
 $= B*((A*A') + (A*C'))' = / A*A'=0, 0+(A*C')=A*C' / = B*(A*C')' = B*(A'+C') =$
 $= B*A' + B*C'. (Проверку можно осуществить с помощью таблиц истинности).$

Ответ: $B*A' + B*C'$.

3. По полученной структурной формуле построим функциональную схему (рис.7).

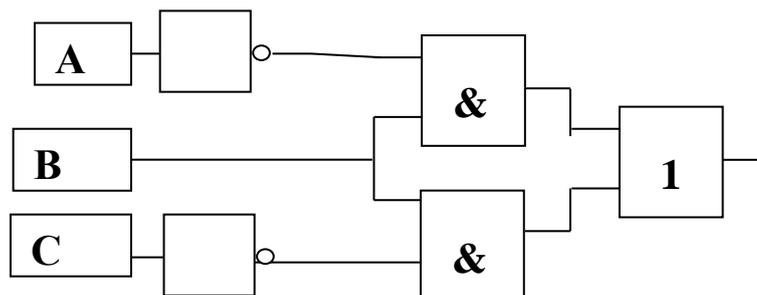


Рис. 7

3. Виртуальный логический конвертор (Logic converter)

Цель: Изучение назначения и принцип работы виртуального устройства логического конвертора (преобразователя). Знакомство с базовыми функциями логического конвертора.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Теперь для решения предложенных выше задач воспользуемся программой электронной лаборатории Electronics Workbench. Для построения логических схем в библиотеке Logic Gates (логические элементы) предусмотрено возможность выбора логических элементов. На рис. 8 перечень выбора возможных логических элементов.

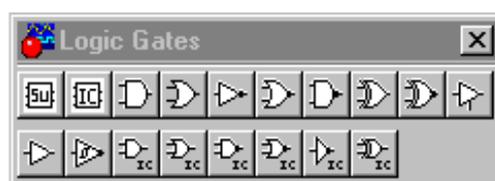


Рис. 8

На рис. 9 показаны обозначения, используемые в Electronics Workbench логических элементов: конъюнкции - И, дизъюнкции – или, отрицания –НЕ, 2 – И – НЕ, 2 –ИЛИ – НЕ.

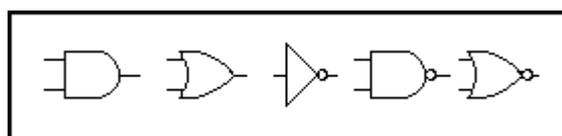


Рис. 9.

В электронной лаборатории Electronics Workbench имеется виртуальное устройство. Логический конвертор (Logic Converter) позволяет осуществлять 6 логических преобразований для логической функции с числом переменных от 1 до 8: представление таблицы истинности собранной из логических элементов схемы; обращение таблицы истинности в логическую формулу

(СДНФ); минимизацию СДНФ; обращение формулы в таблицу истинности; представление формулы в виде схемы в логическом базисе 2-И-НЕ. Логический конвертор выбирается из меню Instruments (рис. 10).



Рис. 10

Приведем описание технологии исследования логических схем с помощью логического конвертора (преобразователя).

1. Собираем логическую схему.
2. Подключаем исследуемую логическую схему к логическому конвертору (входов 8, выход один – расположен справа).
3. Открываем логический конвертор щелчком левой кнопкой мыши по иконке конвертора. На экране появляется меню Logic Converter (рис. 11).
4. Для получения таблицы истинности нажимаем



5. Для получения логической функции (структурной формулы) нажимаем



С помощью логического конвертора можно проводить не только анализ логических устройств, но их синтез.

Приведем описание технологии синтеза логического устройства по выходной комбинации с помощью логического конвертора (преобразователя).

1. Раскрываем лицевую панель логического конвертора (рис. 11).

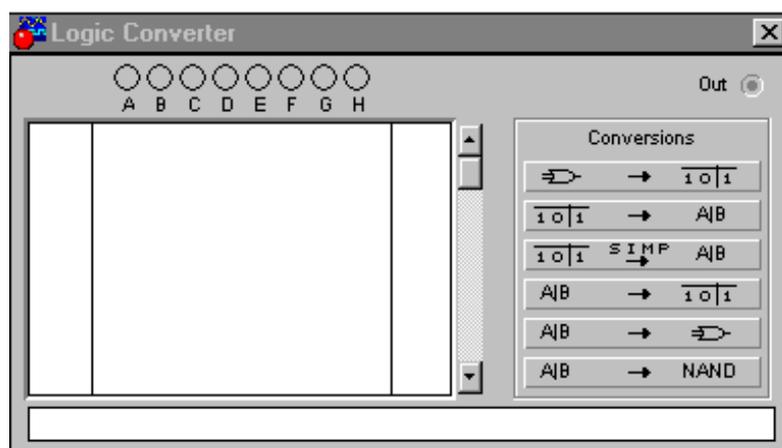


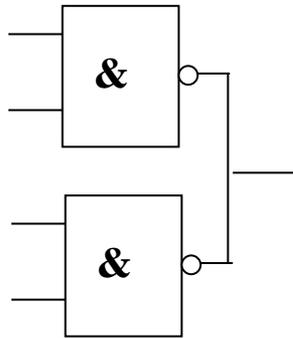
Рис. 11

2. Активизируем курсором клеммы-кнопки А, В, ..Н (начиная с F), количество которых равно количеству входов синтезируемого устройства (количеству логических переменных).

- Вносим необходимые изменения в столбец OUT и после нажатия на клавиши на панели преобразователя получаем результат в виде схемы на рабочем поле программы и логическую функцию в дополнительном дисплее.

Задача 3. Проведите анализ логического устройства (рис. 12) по функциональной схеме с помощью Electronics Workbench.

Рис. 12



На рис. 13 решение задачи в Electronics Workbench.

Контрольные вопросы и задания

- Объяснить назначение и принцип работы логического конвертера. Решить следующие задания с использованием логического конвертера.

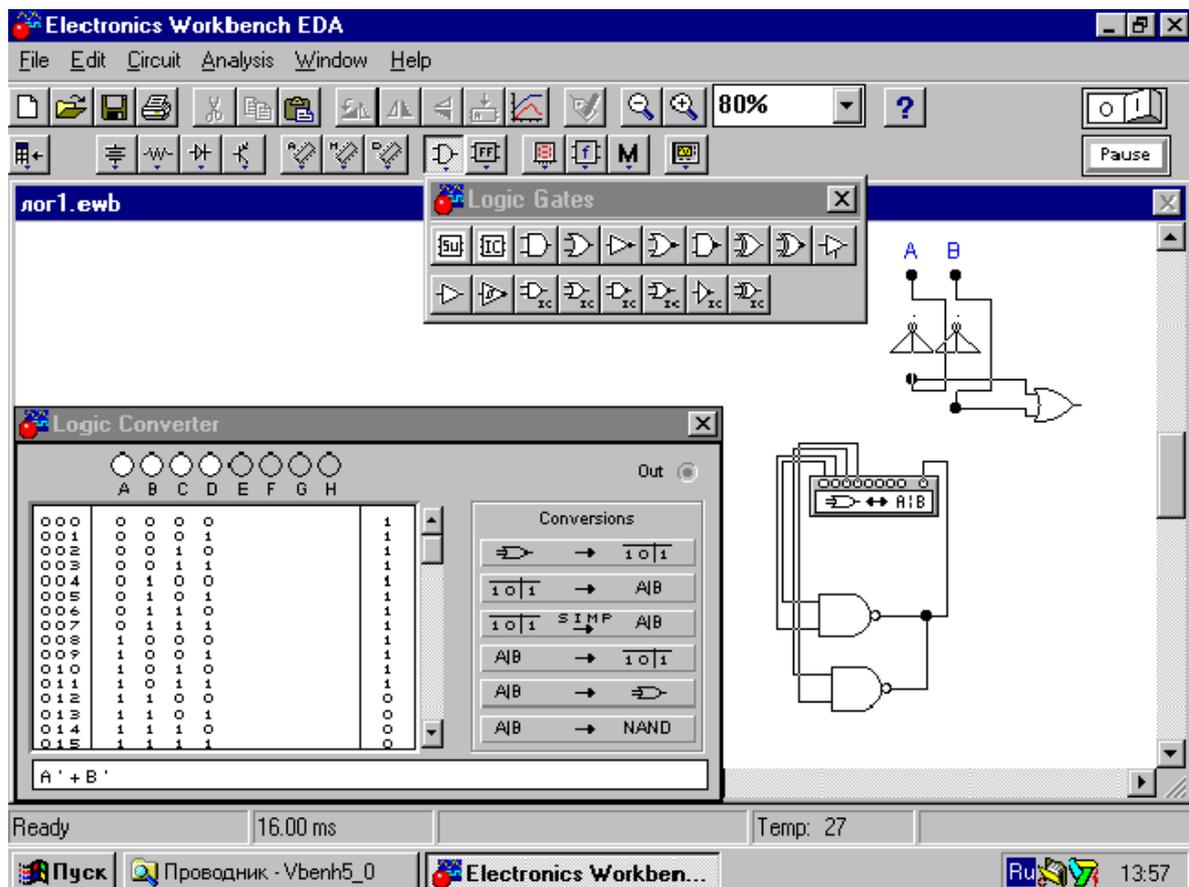
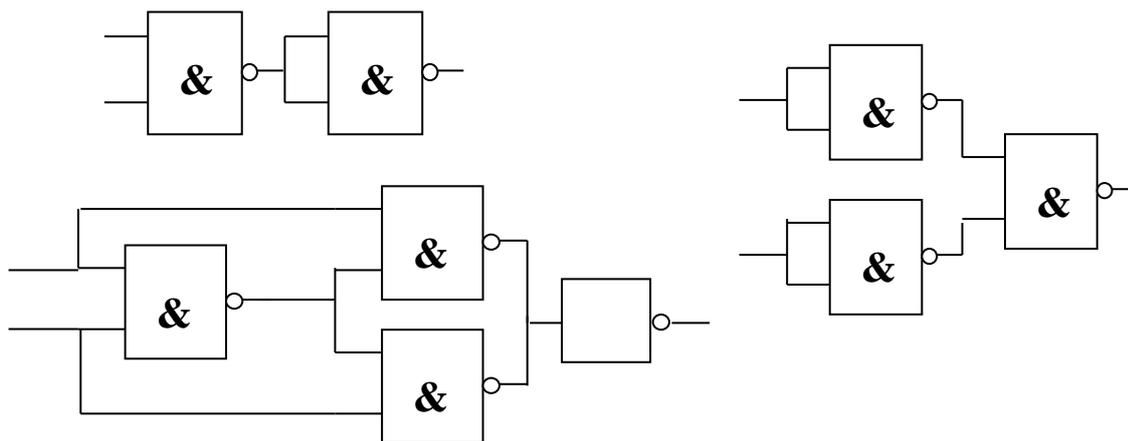


Рис. 13

2. Исследуйте следующие функциональные схемы.



3. Исследуйте логическую схему и постройте функциональную логическую схему: а) $B \cdot C' + A \cdot C$.

б) $A \cdot B' \cdot C + A \cdot B' \cdot C' + A' \cdot B' \cdot C$.

с) $A \cdot (B + C) \cdot (D + C)$.

4. Проведите синтез логического устройства с выходной комбинацией:

а) 00100111.

б) 01101001.

с) 0110100110010110.

4. Цифровой компаратор

Цель: Изучение назначения устройства и принцип работы цифрового компаратора.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Цифровые компараторы (от английского compare – сравнивать) выполняет сравнение двух чисел А, В одинаковой разрядности, заданных в двоичном или двоично-десятичном коде. В зависимости от схемного исполнения компараторы могут определять равенство $A=B$ или неравенства $A < B, A > B$. Результат сравнения отображается в виде логического сигнала на одноименных выходах, в случае выполнения условия на выходе 1.

Цифровые компараторы применяются для выявления нужного числа (слова) в цифровых последовательностях, для выполнения условных переходов.

Схемы одноразрядных компараторов приведены на рис. 14.

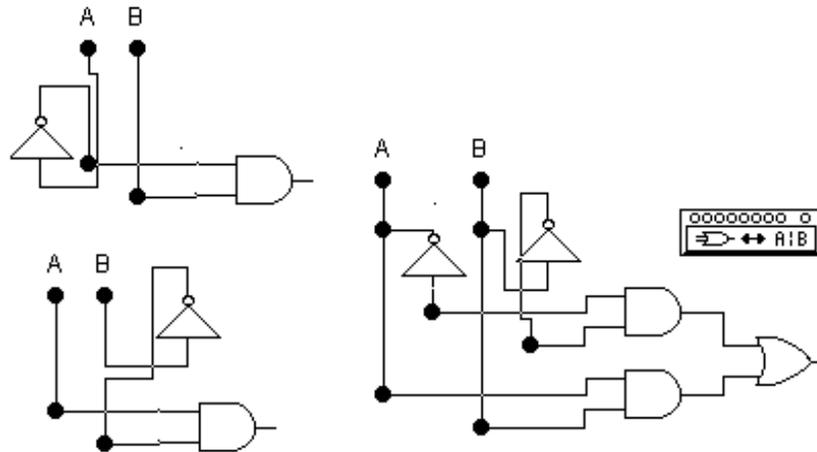


Рис. 14

Операциям сравнения ($A < B$, $A = B$, $A > B$) соответствуют структурные формулы ($A' * B$, $A' * B' + A * B$, $A * B'$).

Контрольные вопросы и задания.

1. Какие функции выполняет цифровой компаратор, в каких устройствах он может быть использован?
2. Подсоединив схемы к логическому конвектору исследуйте приведенные схемы.
3. Составьте схему устройства объединяющее все три компаратора.
4. Составьте схемы устройств, удовлетворяющее условиям: $A \leq B$, $A \lt B$, $A > B$.
5. Исследуйте составленные схемы устройств.
6. Составьте структурные формулы и таблицы истинности для составленных выше логических схем цифровых компараторов.

5. Устройство контроля четности

Цель: Изучение назначения и принцип работы устройства контроля четности.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Операция контроля четности двоичных чисел позволяет повысить надежность передачи и обработки информации. Ее сущность заключается в суммировании по модулю 2 всех разрядов с целью выяснения четности числа, что позволяет выявить наиболее вероятную ошибку в одном из разрядов двоичной последовательности. Например, если при передаче кода 1001 произойдет сбой во втором разряде, то на приемном пункте получим код 1101 – такую ошибку определить в общем случае затруднительно. Если же код относится к двоично-десятичному [способ кодирования десятичных чисел, при котором каждая цифра представляется четырьмя двоичными разрядами – двоичной тетрадой]

Обнаружение ошибок путем введения дополнительного бита четности происходит следующим образом. На передающей стороне передаваемый код анализируется и дополняется контрольным битом до четного или нечетного числа единиц в суммарном коде. Соответственно суммарный код называется четным или нечетным. В случае нечетного кода дополнительный бит формируется таким образом, чтобы сумма всех единиц в передаваемом коде, включая контрольный бит, была нечетной. При контроле четности все наоборот. Например, в числе 0111

Число единиц нечетно. Поэтому при контроле нечетности дополнительный код должен быть нулем, а при контроле четности – единицей. На практике чаще всего используется контроль нечетности, поскольку он позволяет фиксировать полное пропадание информации (случай нулевого кода во всех информационных разрядах). На приемной стороне производится проверка кода четности. Если он правильный, то прием разрешается, в противном случае включается сигнализация ошибки или посылается передатчику запрос на повторную передачу.

Схема формирования бита четности для четырехразрядного кода приведена на рис. Она содержит четыре элемента Исключающее ИЛИ, выполняющие функции сумматоров по модулю 2 (без переноса) и состоит из трех ступеней. На первой ступени попарно суммируются все биты исходного кода на входах А, В, С, D. На второй ступени анализируются сигналы первой ступени и устанавливается четность или нечетность суммы входного кода. На третьей ступени полученный результат сравнивается с контрольным сигналом на входе E, задающим вид используемого контроля, в результате чего на выходе F формируется дополнительный пятый бит четности сопровождающий информационный сигнал в канале передачи.

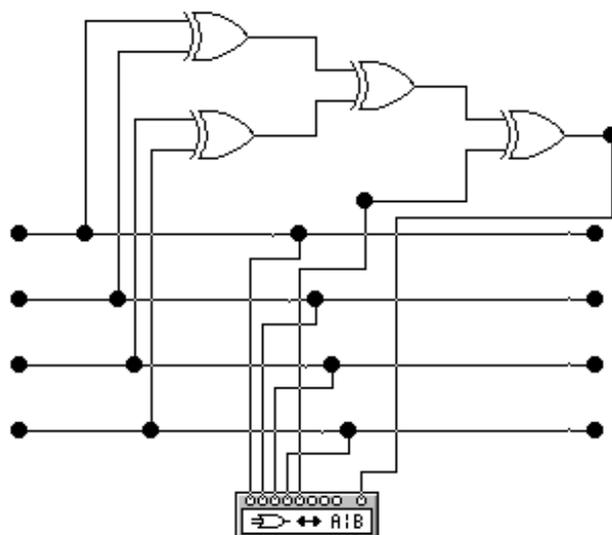


Рис. 15.

Результаты моделирования приведены на рис. 16.

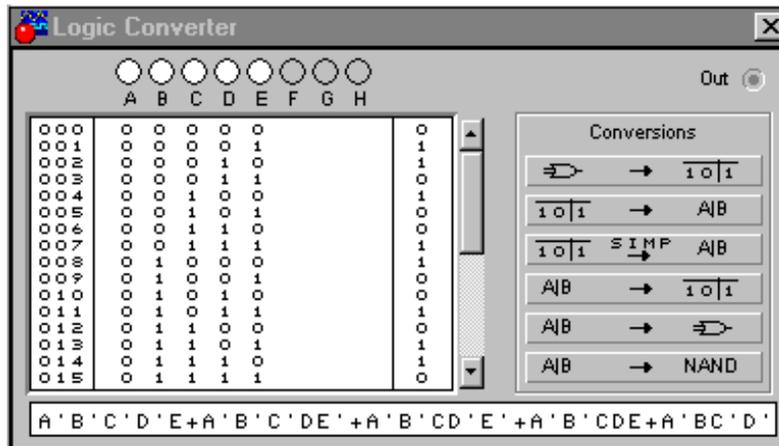


Рис. 16

Контрольные вопросы и задания

1. Какое назначение имеют формирователи кода четности, где они могут быть использованы?
2. Постройте схему формирователя бита четности трехразрядного (пятиразрядного) кода.
3. Проанализируйте работу составленных схем формирователей битов четности.

6. Мультиплексоры и демультиплексоры

Цель: Изучение назначения и принцип работы устройств мультиплексора и демультиплексора.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Назначение мультиплексоров (от английского multiplex – многократный) – коммутировать в заданном порядке сигналы, поступающие с нескольких входных шин в одну выходную. У мультиплексора может быть, например, 16 входов и один выход. Это означает, что если к этим входам присоединить 16 источников цифровых сигналов – генераторов последовательных цифровых слов, то байты от любого из них можно передавать на единственный выход. Для выбора любого из 16 каналов необходимо иметь 4 входа селекции ($2^4=16$), на которые подается двоичный адрес канала. Так, для передачи данных от канала номер 9 на входах селекции необходимо установить код 1001. В силу этого мультиплексоры часто называют селекторами или селекторами-мультиплексорами.

На рис. 17 приведена схема двухканального мультиплексора, состоящего из элементов ИЛИ, НЕ и двух элементов И.

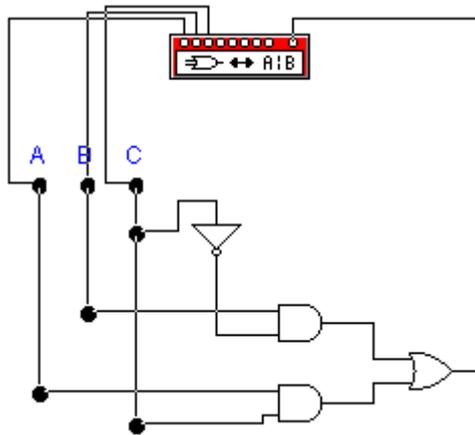


Рис. 17 Схема двухканального мультиплексора

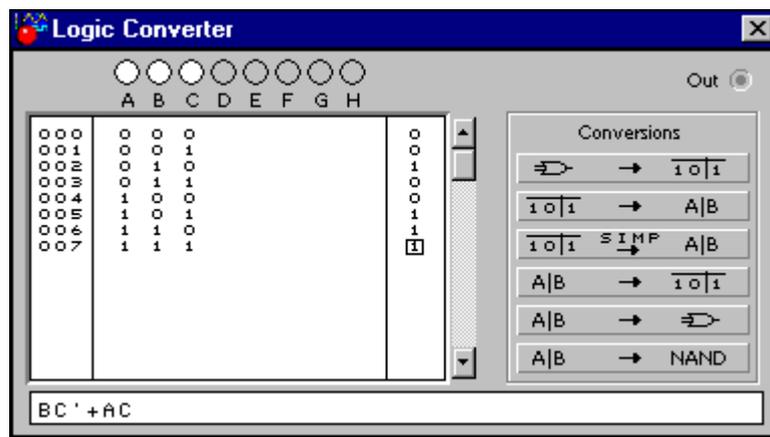


Рис. 18

Результаты моделирования двухканального мультиплексора с помощью логического конвертера показаны на рис. 18, из которого видно, что его выходной сигнал описывается структурной формулой $B \cdot C' + A \cdot C$, т.е. сигнал из канала A проходит на выход при адресном входе $C=1$, а из канала B - при $C=0$, что и соответствует логике работы мультиплексора.

Демультимплексоры в функциональном отношении противоположны мультиплексорам. С их помощью сигналы с одного информационного входа распределяются в требуемой последовательности по нескольким выходам. Выбор нужной выходной шины, как и в мультиплексоре, обеспечивается установкой соответствующего кода на адресных входах. При m адресных входах демультимплексор может иметь до 2^m выходов.

Принцип работы демультимплексора поясним с помощью схемы на рис. 19.

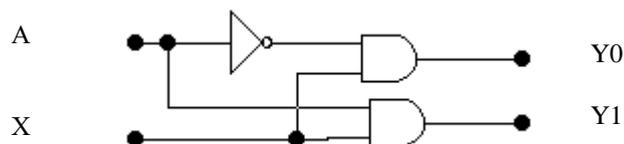
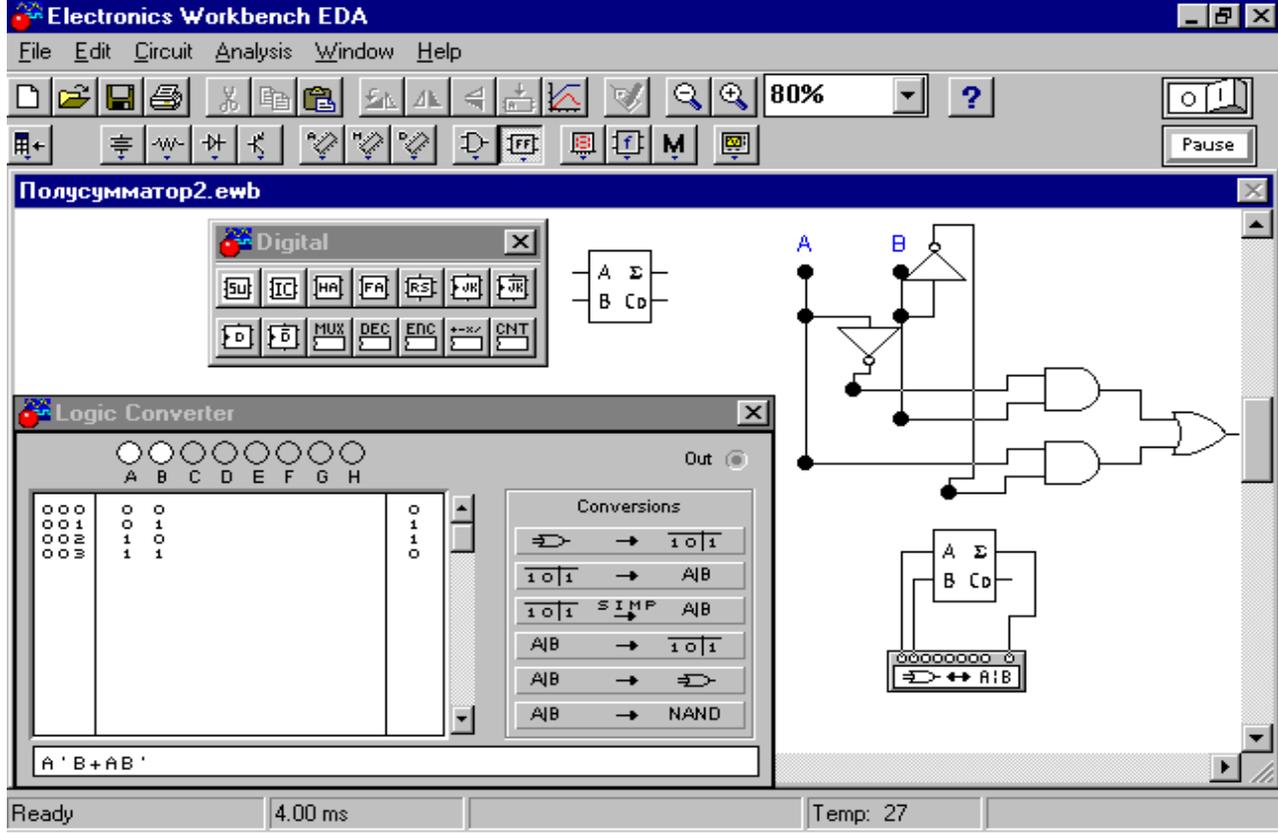


Рис. 19 Схема демультимплексора

Схема содержит два элемента И и один элемент НЕ. На схеме: X - информационный вход, A - вход адреса, Y0, Y1 - выходы.



Если $A=0$ сигнал информационного входа передается на выход Y_0 , а при $A=1$ - на выход Y_1 .

Контрольные вопросы и задания

1. Что такое мультиплексор, каково его назначение?
2. Что такое демультиплексор, для решения каких задач его можно применить?
3. Придумайте схему трехканального мультиплексора?
4. Придумайте схему трехвыходного демультиплексора?

7. Арифметические сумматоры

Цель: Изучение назначения и принцип работы устройств полусумматора и сумматора. Знакомство с базовыми элементами полусумматора и полного сумматора из библиотеки EWB.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Арифметические сумматоры являются составной частью так называемых арифметико-логических устройств (АЛУ) микропроцессоров. В программе EWB арифметические сумматоры представлены в библиотеке Digital двумя базовыми устройствами: полусумматорами и полными сумматорами. Они имеют следующие назначения выводов: A , B – входы слагаемых, Σ - результат суммирования, C_0 – выход переноса, C_i - вход переноса. N – разрядный сумматор создается на базе одного полусумматора и $n-1$ полных сумматоров. На рис.20 приведено исследование полусумматора.

На рис.21 приведена схема подключения полного сумматора к логическому конвертору и трехразрядный сумматор.

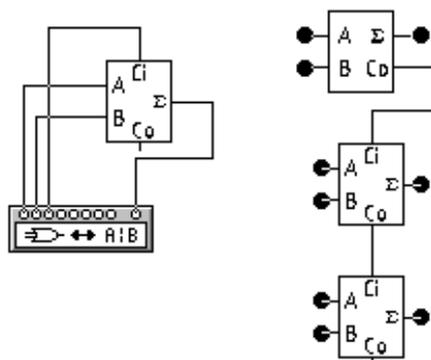


Рис. 21

Контрольные вопросы и задания.

1. Чем отличается полусумматор от полного сумматора.
2. Выясните внутреннюю структуру полного сумматора, пользуясь схемой подключения к логическому конвертору, аналогично приведенному анализу полусумматора.
3. Исследуйте выходы переносу полусумматоров и полного сумматора.
4. Исследуйте приведенный трехразрядный сумматор последовательно подключая выходы к логическому конвертору.

8. Виртуальный генератор слова (Word Generator)

Цель: Изучение назначения и принцип работы виртуального генератора слова. Знакомство с базовыми функциями виртуального генератора слов. Анализ работы сумматора с помощью виртуального генератора слов.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

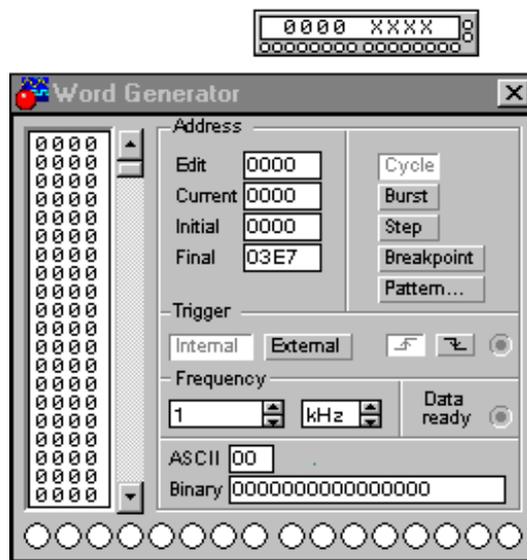


Рис. 22

Внешний вид виртуального генератора слова и лицевая панель приведены на рис. 22. Генератор (его еще кодовым генератором) предназначен для генерации 16 разрядных двоичных слов. Кодовые комбинации необходимо задавать в шестнадцатиричном коде.

Каждая комбинация заносится с помощью клавиатуры, номер редактируемой ячейки фиксируется в окошке EDIT блока ADDRESS. Всего таких ячеек и следовательно, комбинаций – 2048. В процессе работы генератора в отсеке ADDRESS индицируется номер текущей ячейки (CURRENT), ячейки инициализации или начала работы (INITIAL) и конечной ячейки (FINAL). Выдаваемые на 16 выходов (В нижней части генератора) кодовые комбинации индицируются в текстовом (ASCII) и двоичном коде (BINARY).

Сформированные слова выдаются на 16 расположенных в нижней части виртуального прибора клемм-индикаторов:

- В пошаговом (при нажатии кнопки STEP), циклическом (при нажатии кнопки CYCLE) или с выбранного слова до конца (при нажатии клавиши BURST) при заданной частоте посылок (установка – нажатиями кнопок в окнах FREQUENCY);
- При внутреннем (при нажатии кнопки INTERNAL) или внешнем запуске (при нажатии кнопки EXTERNAL по готовности данных (клемма DATA READY), рядом расположена клемма для подключения канала синхронизации);
- При запуске по переднему или заднему фронту.

На клемму CLK выдается выходной синхронизирующий импульс. К органам управления относится также кнопка BREAK POINT – прерывание работы генератора в указанной ячейке. При нажатии на кнопку PATTERN выпадает меню (рис. 23), где:

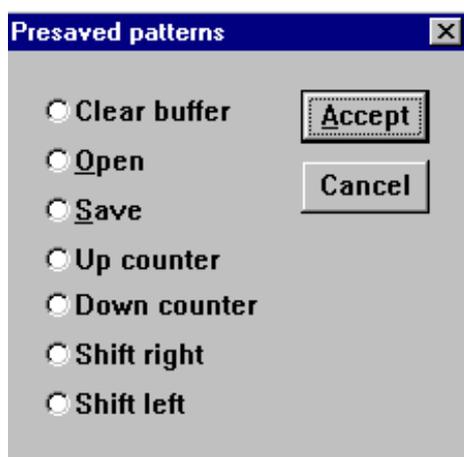


Рис. 23

- Clear buffer – стереть содержимое буфера (содержимое буфера экрана);
- Open – загрузить кодовые комбинации (из файла с расширением .dp);
- Save – записать все набранные на экране комбинации в файл (.dp);
- Up counter - заполнить буфер экрана кодовыми комбинациями, начиная с 0 в нулевой ячейке и далее с прибавлением 1 в каждой последующей ячейке;

- Down counter – заполнить буфер кодовыми комбинациями, начиная с FFFF в нулевой ячейке и далее с уменьшением на 1 в каждой последующей ячейке;
- Shift right – заполнить каждые четыре ячейки комбинациями 1-2-4-8 со смещением их в следующих четырех ячейках вправо;
- Shift left – тоже самое, но со смещением влево.

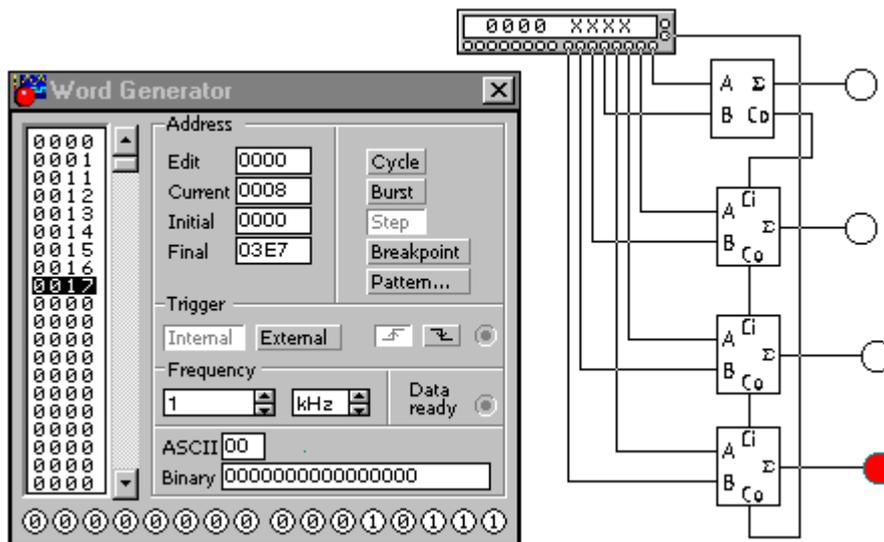


Рис. 23

Задание. Исследовать 4-х разрядный сумматор (рис.23) с помощью виртуального генератора слов.

1. Собираем 4-х разрядный сумматор, состоящий из одного полусумматора и 3-х полных сумматоров.
2. Из панели Indicators выбираем 4 индикатора и подключаем к выходам сумматора (при сигнале 1 – зажигаются).
3. Выходы виртуального генератора слов подключаем входам сумматора; четыре первых разряда соответствуют первому слагаемому, четыре последующих разряда – второму слагаемому.
4. В лицевой панели генератора вводим шестнадцатиразрядные числа 0, 1, 11, 12, 13, 14, 15, 16, 17.
5. Запустить генератор слов в режиме Step. Проанализировать работу сумматора.

Контрольные вопросы и задания.

1. Объяснить предназначение виртуального генератора слов.
2. Перечислить основные функции генератора слов.
3. Объяснить, почему выбраны шестнадцатиразрядные числа 0, 1, 11, 12, 13, 14, 15, 16, 17 для анализа работы сумматора.
4. Постройте 5-разрядный сумматор и проанализируйте с помощью генератора слов.
5. Какие шестнадцатиразрядные числа необходимо ввести для анализа работы сумматора?
6. Как обеспечить вычитание двух чисел?

9. Виртуальный логический анализатор (Logic Analyzer)

Цель: Изучение назначения и принцип работы устройства логического анализатора. Знакомство с базовыми функциями логического анализатора.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

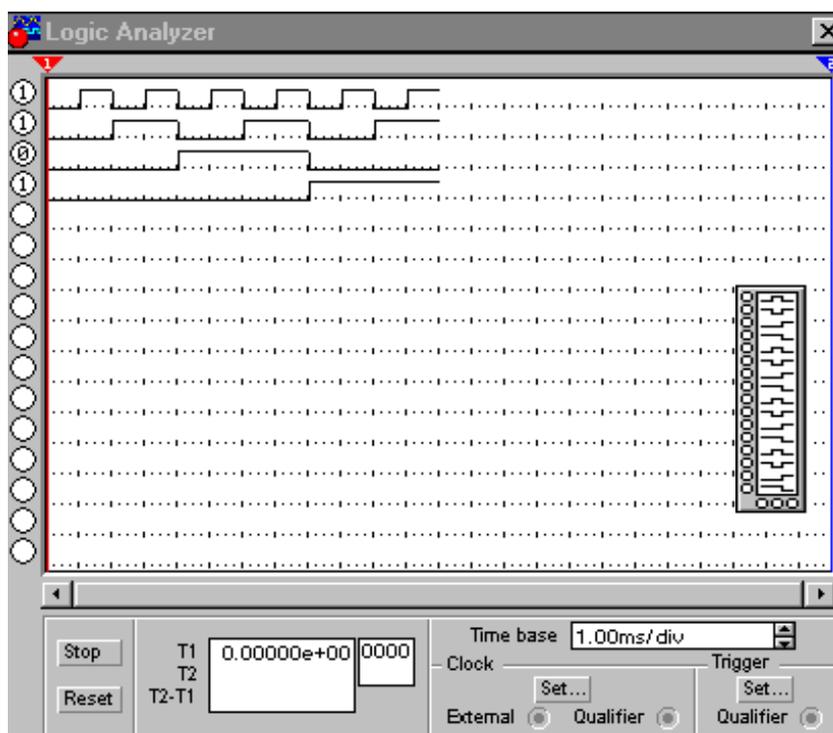


Рис. 24

Внешний вид виртуального логического анализатора приведен на рис. 24. Анализатор предназначен для отображения на экране монитора 16-разрядных кодовых последовательностей одновременно в 16 точках схемы, а также в виде двоичных чисел на входных клеммах-индикаторах. Длительность развертки задается в окне TIME BASE. В блоке Clock имеются клеммы как для обычного (Extend), так и избирательного (Qualifier) источника запускающих сигналов, параметры которых могут установлены с помощью меню вызываемого с помощью кнопкой Set (рис. 25). Запуск генератора можно осуществлять по переднему (Positive) или заднему (Negative) фронту запускающего сигнала с использованием внешнего (External) или внутреннего (Internal) источника. В окне Clock qualifier можно установить значение логического сигнала (0, 1 или X), при котором производится запуск анализатора.

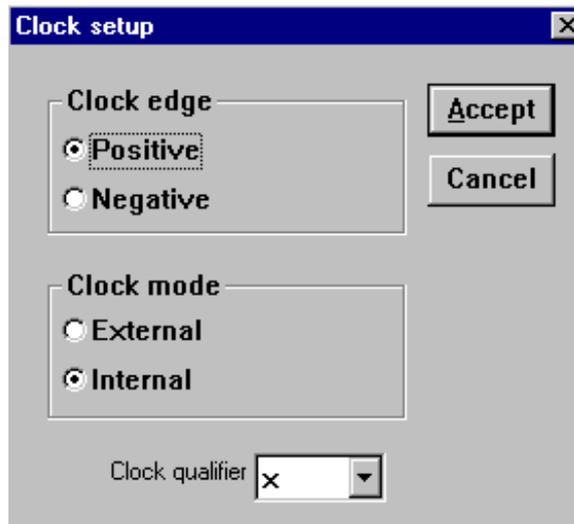


Рис. 25

Дополнительные условия запуска анализатора могут быть выбраны с помощью меню, которое вызывается кнопкой Set в блоке Trigger (рис. 26). С помощью этого окна в каналах А, В и С можно задать нужные двоичные 16-разрядные комбинации сигналов и затем в строке Trigger combinations установить дополнительные условия отбора:

- А OR В – запуск анализатора от канала А или В;
- А THEN В – запуск анализатора от канала А, если сигнал в канале В равен 1;
- (А OR В)THEN С – запуск анализатора от канала А или В, если сигнал в канале С равен 1.

В окне канала Trigger qualifier можно задать логические сигналы 1, 0 или X, при наличии которых производится запуск анализатора.

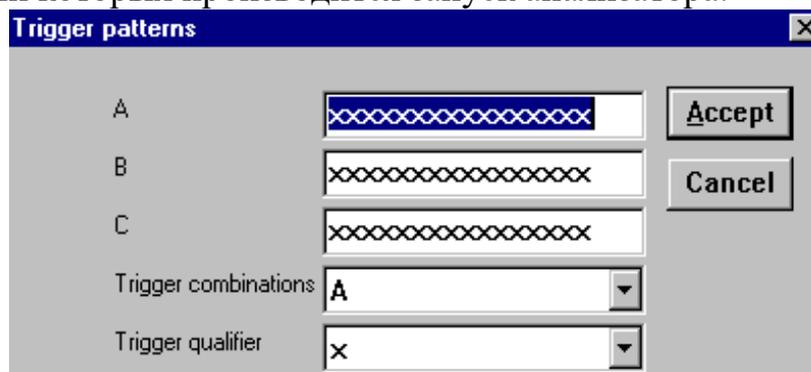


Рис. 26

Контрольные вопросы и задания.

1. Описать принцип работы логического анализатора.
2. Для чего предназначен логический анализатор.
3. Выполнить следующее задание.

Задание. Изучение 4-х разрядного сумматора (рис. 27) с помощью логического анализатора.

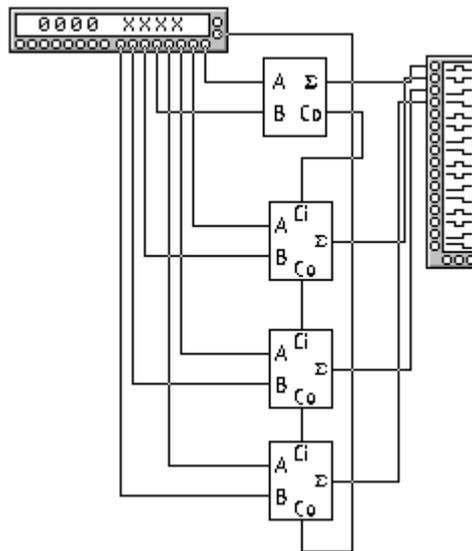


Рис. 27

10. Триггеры

Цель: Изучение назначения и принцип работы устройств триггера. Знакомство с базовыми устройствами триггер из библиотеки EWB.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Триггеры – устройства, имеющие два устойчивых состояния. Под действием управляющих сигналов они переходят из одного состояния в другое и после снятия сигналов хранят это состояние до тех пор, пока не отключено напряжение питания. Таким образом, триггер является ячейкой памяти для одного двоичного разряда, т. е. бита информации.

В библиотеке EWB триггеры представлены тремя типами: RS, JK и D, показанных на рис. 28.

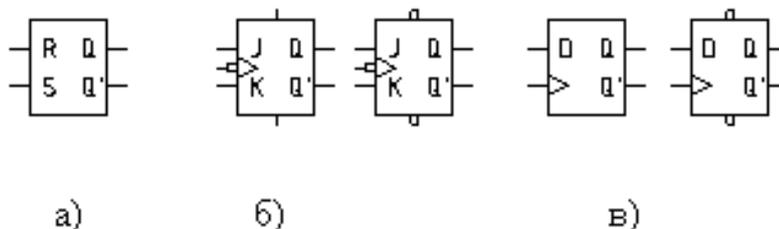


Рис. 28

Назначение выводов триггеров следующее. Для всех триггеров выходы Q – прямой, Q' – инверсный (обратный). Для RS – триггера R – установка триггера в 0, при сигнале 1 на этом входе Q=0, Q'=1; S – установка в 1, при сигнале 1 на этом входе Q=1, Q'=0; комбинация R=1, S=1 не изменяет состояние выходов и

относятся к запрещенным. Для JK триггера J, K – информационные входы, > - тактовый вход; вывод сверху – асинхронная предустановка триггера в единичное состояние ($Q=1$) вне зависимости от состояния сигналов на входах (функционально аналогичен входу S RS триггера); вывод внизу – асинхронная предустановка триггера в нулевое состояние (так называемая очистка триггера, после которой $Q'=1$); наличие кружочков на изображениях выводов обозначает, что активными являются сигналы низкого уровня, а для тактового входа – что переключение триггера производится не по переднему фронту тактового импульса, а по его срезу (так чаще всего называют задний фронт импульса). Для D – триггера вход D – информационный, состояние этого входа после подачи тактового импульса запоминается триггером, т. е. при $D=1$ имеем $Q=1$, при $D=0$ – $Q=0$.

Схема асинхронного RS – триггера на логических схемах приведена на рис. 29.

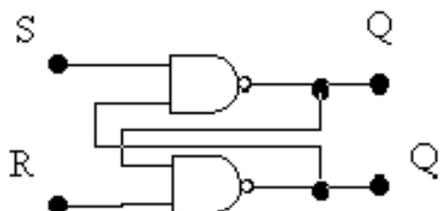


Рис. 29

Для понимания процессов, происходящих в триггерах, приведем схему (30) синхронного одноклапного RS – триггера на логических элемента И-НЕ.

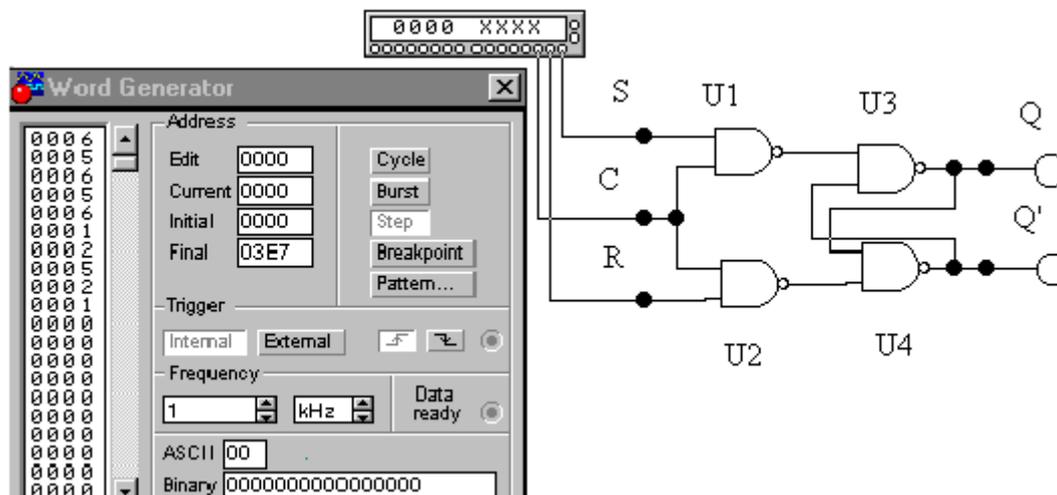


Рис. 30

Триггер имеет входы установки в 0 (R- вход, сигнал на инверсном выходе $Q'=1$) и 1 (S- вход, сигнал на прямом выходе $Q=1$). Установка триггера в 0 или 1 производится только при наличии сигнала синхронизации $C=1$. Возможные комбинации входных сигналов, имитирующие работу триггера в различных режимах, показаны на лицевой панели генератора слова.

Если схему триггера дополнить инвертором, то получим схему D – триггера (рис. 31), в котором состояние выхода определяется сигналом на D-

входе: при $D=1 - Q=1$, при $D=0 - Q'=1$. В качестве тактового сигнала используется выход синхросигнала генератора слова.

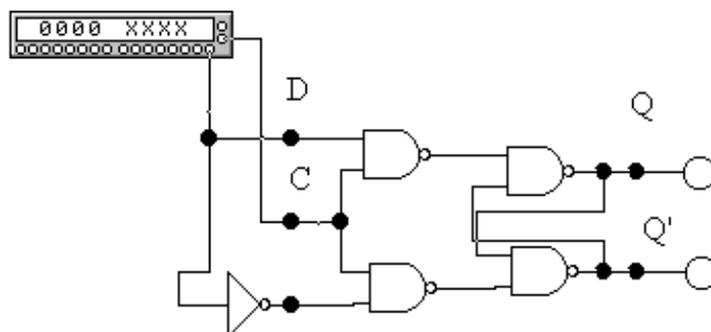


Рис. 31

Если в D – триггере D – вход соединить с инверсным выходом Q' , то получится T – триггер с одним тактовым C – входом.

Контрольные вопросы и задания.

1. Что такое триггер, какого типа они бывают ?
2. Проведите исследования приведенных выше схем триггеров.

11. Счетчик

Цель: Изучение назначения и функции устройства счетчик. Знакомство с принципом работы устройства счетчик.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Счетчиком называют устройство, сигналы на выходе которого отображают число импульсов, поступивших на счетный вход. Триггер может служить примером простейшего счетчика. Такой счетчик считает до двух. Счетчик образованный цепочкой из m триггеров, может подсчитать в двоичном коде 2^m импульсов. Каждый из триггеров такой цепочки называют разрядом счетчика. Число m определяет количество разрядов двоичного числа, которое может быть записано в счетчик. Число $K_{сч}=2^m$ называют коэффициентом (модулем) счета.

Информация снимается с прямых и (или) инверсных выходов всех триггеров. В паузах между входными импульсами триггеры сохраняют свои состояния, т. е. счетчик запоминает число входных импульсов.

Нулевое состояние всех триггеров принимается за нулевое состояние счетчика в целом. Остальные состояния складываются по числу поступивших входных импульсов. Когда число входных импульсов $N_{вх} > K_{сч}$, происходит переполнение, после чего счетчик возвращается в нулевое состояние и цикл повторяется. Коэффициент счета, таким образом, характеризует число входных импульсов, необходимое для одного цикла и возвращения в исходное состояние.

Счетчики различаются числом и типами триггеров, способами связей между ними, кодом, организацией счета и другими показателями. Цифровые счетчики классифицируются по следующим параметрам:

- Коэффициент счета – двоичные; двоично-десятичные или с другим основанием счета; с произвольным постоянным и переменным (программируемым) коэффициентом счета;
- Направление счета – суммирующие, вычитающие и реверсивные ();
- Способ организации внутренних связей – с последовательным, параллельным или комбинированным переносом, кольцевые.

Классификационные признаки независимы и могут встречаться в различных сочетаниях: например, суммирующие счетчики бывают как с последовательным, так и с параллельным переносом, могут иметь двоичный, десятичный и иной коэффициент счета.

Схема четырехразрядного двоичного счетчика с последовательным переносом на D – триггерах приведена на рис. 32.

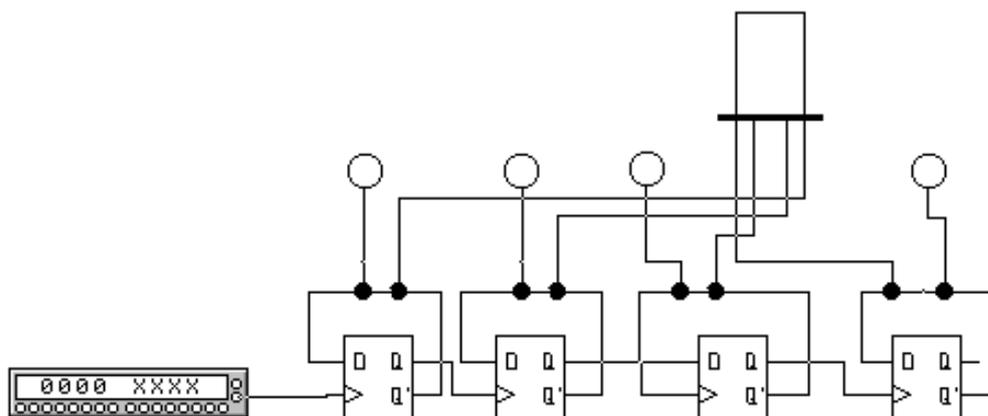


Рис. 32

На вход счетчика подаются импульсы с выхода синхросигналов генератора слова, которые генерируются при каждом нажатии клавиши STEP . Каждый триггер счетчика осуществляет деление на 2, сигнал переноса передается последовательно от одного разряда к другому. Состояние разрядов счетчиков в двоичном коде индицируются логическим пробником (индикатором), а в десятичном – семисегментным индикатором.

Контрольные вопросы и задания.

1. Что такое счетчик, какие функции он может выполнять?
2. Назовите типы счетчиков и их возможные применения.
3. Смоделируйте приведенную выше схему и проанализируйте работу счетчика.

12. Регистр

Цель: Изучение назначения и функций регистр. Знакомство с принципом работы регистр.

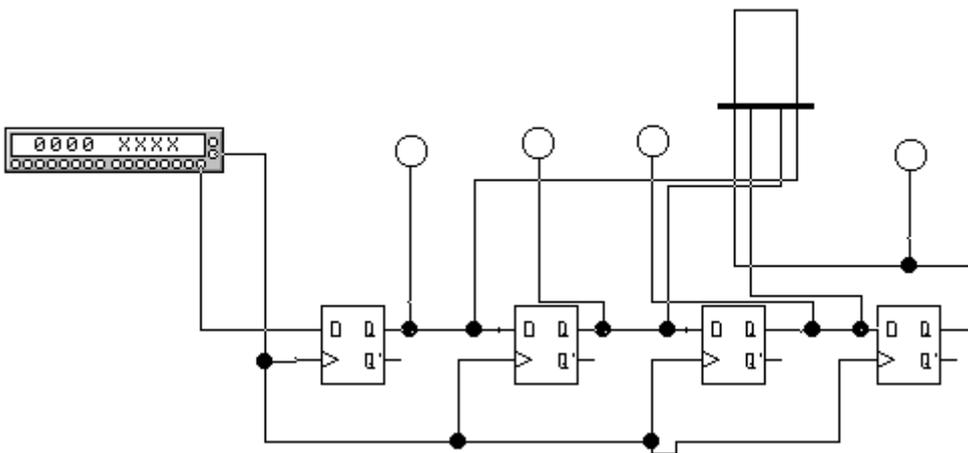
Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Регистры – устройства для временного хранения и преобразования информации в виде много разрядных двоичных чисел. Регистры наряду со счетчиками и запоминающими устройствами являются наиболее распространенными устройствами цифровой техники. При сравнительной простоте регистры обладают большими функциональными возможностями. Они используются в качестве управляющих и запоминающих устройств, генераторов и преобразователей кодов, счетчиков, делителей частоты, узлов временной задержки. Элементами структуры регистров являются триггеры D- или JK- типа с динамическим или статическим управлением. Одиночный триггер может запоминать (регистрировать) один разряд (бит) двоичной информации. Такой триггер можно считать одноразрядным регистром. Занесение информации в регистр называют операцией ввода или записи. Выдача информации к внешним устройствам характеризует операцию вывода или считывания. Запись информации в регистр не требует его предварительного обнуливания.

Все регистры в зависимости от функциональных свойств подразделяются на две категории – накопительные (регистры памяти, хранения) и сдвигающие. В свою очередь, сдвигающие регистры делятся по способу ввода и вывода информации на параллельные и последовательно-параллельные и комбинированные, по направлению передачи (сдвига) информации – на однонаправленные и реверсивные.

На рис. 33 показана схема простейшего четырехразрядного регистра на D – триггерах, в котором информация заносится последовательно, начиная с младшего разряда.



Контрольные вопросы и задания.

1. Что такое регистр, какие функции он может выполнять?
2. Назовите типы регистров и их возможные применения.

3.Смодулируйте приведенную выше схему и проанализируйте работу регистра.

13. Оперативное запоминающее устройство

Цель: Изучение назначения и функций оперативного запоминающего устройства. Знакомство с принципом работы оперативного запоминающего устройства.

Оборудование: Электронная лаборатория Electronics Workbench.

Краткая теория

Оперативные запоминающие устройства (ОЗУ) являются неотъемлемой частью микропроцессорных систем различного назначения. ОЗУ делятся на два класса: статические и динамические. В статических ОЗУ запоминание информации производится на триггерах, а в динамических – на конденсаторах емкостью 0,5 пФ. Длительность хранения информации в статических ОЗУ не ограничена, тогда как в динамических она ограничена временем саморазряда конденсатора, что требует специальных средств регенерации и дополнительных затрат времени на этот процесс.

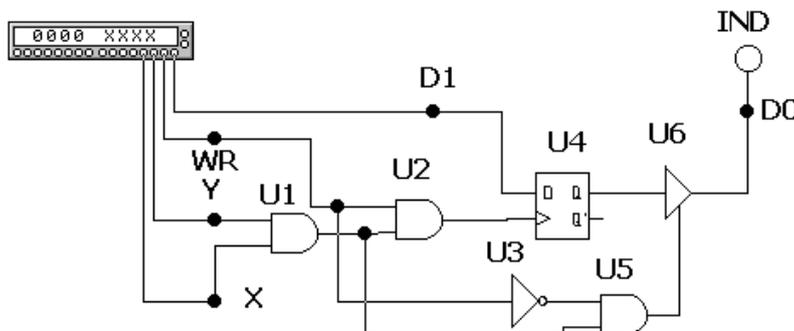


Рис. 34

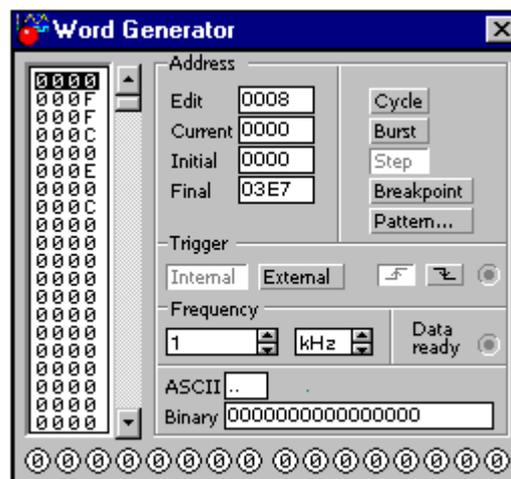


Рис. 35

На рис. 34 показана ячейка статического ОЗУ на D-триггере и вспомогательных логических элементах. Информационный вход ячейки подключен к шине данных D1 одного из разрядов, ее выход – к соответствующей шине D0 через элемент с тремя состояниями U6. Ячейка выбирается сигналами $Y=1$, $X=1$, поступающих с дешифратора адреса. При записи в ячейку памяти на D1 устанавливается 1 или 0, на входе WR/RD' – сигнал 1, в результате чего срабатывают элементы 2И U1, U2. Положительный перепад сигнала с элемента U2 поступает на тактовый вход D-триггера U4 и в нем записывается 1 или 0 в зависимости от уровня сигнала на его D-входе. При чтении на входе WR/RD' устанавливается 0, при этом срабатывают элементы U1, U3, U5 и на вход РАЗРЕШЕНИЕ ВЫХОДА буферного элемента U6 поступает разрешающий сигнал, в результате чего сигнал с Q-выхода D-триггера передается на разрядную шину D0, состояние которой индицируется логическим пробником IND. Для проверки функционирования ячейки памяти используется генератор слова (рис. 35), выходной код которого соответствует указанным режимам работы ячейки.

Заметим, что запоминающие устройства статического типа отличаются высоким быстродействием и в компьютерах используются в качестве так называемой кэш-памяти.

Контрольные вопросы и задания.

1. Какие тапы памяти существуют?
2. Чем отличается динамическая память от статической?
3. Смоделируйте и проанализируйте работу ОЗУ, схема которого приведена выше.

Литература:

1. Карлащук В. И. Электронная лаборатория на IBM PC. Программа Electronics Workbench. Солон-Р. Москва. 2000.
2. И. А. Ходяков. Mathcad 6/0 и Electronics Workbench 5.12 в средней школе // Информатика и образование. №6. 1999.
4. Карлащук В. И. Обучающие программы. Солон-Р. Москва. 2001.
5. Практикум по компьютерному моделированию электрических схем и явлений / Сост. Р. Ф. Маликов, У. Ш. Шаяхметов. – Уфа: Изд-во БГПУ, 2002. – 32.
6. Сулейманов Р. Р., Маликов Р. Ф. Моделирование электрических схем из школьного курса физики в интегрированной системе Electronics Workbench 5.12 // Учитель Башкортостана. №12. 2002.

СОДЕРЖАНИЕ

Введение.....	3
1. Основы алгебры логики.....	4
2. Решение задач на тему: Логические схемы.....	6
3. Виртуальный логический конвертор.....	8
4. Цифровой компаратор.....	12
5. Устройство контроля четности.....	13
6. Мультиплексоры и демultipлексоры.....	15
7. Арифметические сумматоры.....	17
8. Виртуальный генератор слова.....	19
9. Виртуальный логический анализатор.....	22
10. Триггеры.....	24
11. Счетчик.....	26
12. Регистр.....	28
13. Оперативное запоминающее устройство.....	29
Литература.....	31